

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/708,705	
	Filing Date	03/19/2004	
	First Named Inventor	Yu-Ling Chiu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	ALIP0042USA

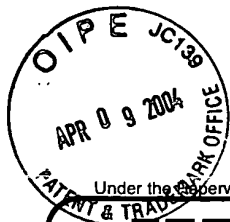
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	4/15/2004

CERTIFICATE OF TRANSMISSION/MAILING		
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.		
Typed or printed name		
Signature		Date

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/708,705
Filing Date	03/19/2004
First Named Inventor	Yu-Ling Chiu
Examiner Name	
Art Unit	
Attorney Docket No.	ALIP0042USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

	Extra Claims	Fee from below	Fee Paid
Total Claims	-20** =	X	
Independent Claims	-3** =	X	
Multiple Dependent			

Large Entity		Small Entity		Fee Description
Fee Code	Fee (\$)	Fee Code	Fee (\$)	
1202	18	2202	9	Claims in excess of 20
1201	86	2201	43	Independent claims in excess of 3
1203	290	2203	145	Multiple dependent claim, if not paid
1204	86	2204	43	** Reissue independent claims over original patent
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent

SUBTOTAL (2) (\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	0.00
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type) Winston Hsu

Registration No. 41,526
(Attorney/Agent)

(Complete (if applicable))

Telephone 886289237350

Signature

Winston Hsu

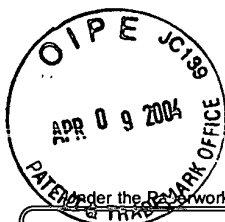
Date

4/15/2004

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



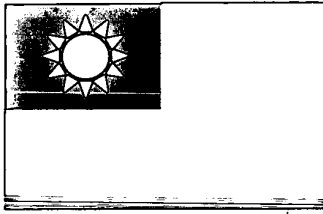
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION -- Supplemental Priority Data Sheet

Additional foreign applications:					
Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092136381	Taiwan R.O.C	12/22/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 12 月 22 日
Application Date

申請案號：092136381
Application No.

申請人：揚智科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 3 月 15 日
Issue Date

發文字號：09320247620
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	打線接合封裝體
	英 文	WIRE BONDING PACKAGE
二、 發明人 (共2人)	姓 名 (中文)	1. 邱玉玲 2. 陳君明
	姓 名 (英文)	1. CHIU, YU-LING 2. CHEN, CHUN-MING
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市內湖路一段二四六號二樓 2. 台北市內湖路一段二四六號二樓
	住居所 (英 文)	1. 2F, No. 246, Sec. 1, Nei-Hu Rd., Taipei City, Taiwan, R.O.C. 2. 2F, No. 246, Sec. 1, Nei-Hu Rd., Taipei City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 揚智科技股份有限公司
	名稱或 姓 名 (英文)	1. ALI CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北市內湖路一段二四六號二樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F, No. 246, Sec. 1, Nei-Hu Rd., Taipei City, Taiwan, R.O.C.
	代表人 (中文)	1. 呂理達
代表人 (英文)	1. LU, TEDDY	

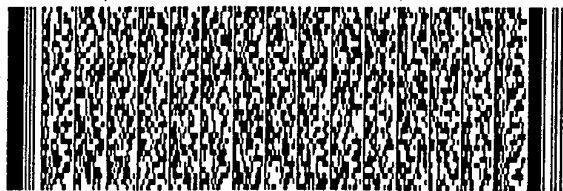


四、中文發明摘要 (發明名稱：打線接合封裝體)

本發明係提供一種打線接合封裝體，其包含一設有複數個接腳之殼體、一設置於該殼體內之電路板、至少一設置於該電路板上之晶粒、以及至少一連接於該晶粒上之焊接墊及該電路板上之走線之接合導線，該接合導線可使該晶粒上之焊接墊得以電連接於該殼體上之接腳。

五、英文發明摘要 (發明名稱：WIRE BONDING PACKAGE)

A wire bonding package has a housing having a plurality of leads, a circuit board installed inside the housing and having at least a trace connected to a lead of the housing, at least a die installed on the circuit board and having a plurality of bonding pads, and at least a bonding line connected between a bonding pad of the die and the trace of the circuit board so that the



四、中文發明摘要 (發明名稱：打線接合封裝體)

五、英文發明摘要 (發明名稱：WIRE BONDING PACKAGE)

bonding pad of the die is electrically connected to the lead of the housing.

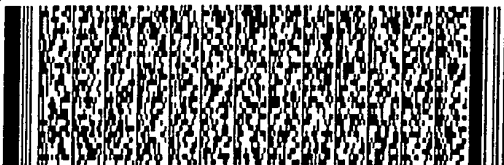


六、指定代表圖

(一)、本案代表圖為：第__三__圖

(二)、本案代表圖之元件代表符號簡單說明：

30	打線接合封裝體	12	第一晶粒
14	第二晶粒	16	殼體
18、90、92、94	接腳		
20、22、80、82、84	晶粒焊墊		
24、70、72、74	接合導線	46	導線框架
48	電路板	50	被動元件
62	第一導電孔	64	第二導電孔
66	第一焊接點	68	第二焊接點



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

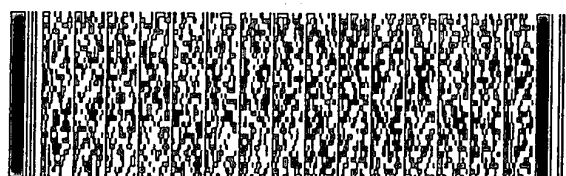
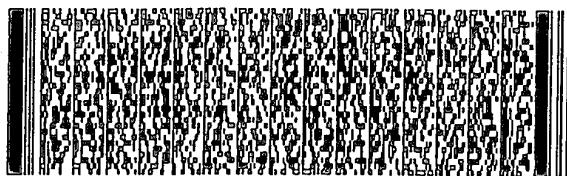
【發明所屬之技術領域】

本發明提供一種打線接合封裝體(wire bonding package)，尤指一種其內之晶粒可經由一電路板電連接至一殼體上的接腳之打線接合封裝體。

【先前技術】

在現代的資訊社會中，由積體電路所構成的微處理機系統早已被普遍運用於生活的各個層面，例如像是個人電腦、行動通訊設備、及自動控制之家電用品等，而積體電路中之最重要的部分即為經由半導體製程所生產的晶粒(die)。晶粒可藉由半導體製程而形成：將一晶圓(wafer)切割成複數個區域，並在個別的區域上形成各種不同的電路，以形成晶粒。完成之晶粒除了可藉由裸晶(bare chip)配置法直接地電連接至一電路板，以透過該電路板取得運作時所需之操作電壓或其它資料外，也可被封裝於一封裝體(package)內，並藉由封裝體內的電連接通路以引腳插入(pin through hole, PTH)之方式電連接至該封裝體所在之電路板，以接收該操作電壓或其它資料等。

近年來，在即時上市(time to market)的要求下，複數個具有相互支援功能之晶粒往往必需整合至同一封裝體

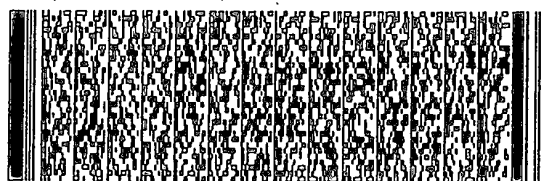
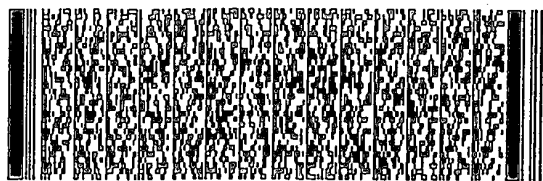


五、發明說明 (2)

內。請參閱圖一及圖二，圖一為習知一內含一第一晶粒12及一第二晶粒14之四方扁平多晶粒打線接合封裝體(quad flat multi-die wire bonding package)10之示意圖，圖二為多晶粒打線接合封裝體10之側視圖。多晶粒打線接合封裝體10另包含複數條接合導線(bonding wire)24及一內含複數個接腳(bonding pad)18之殼體16。第一晶粒12與第二晶粒14係以堆疊(stacked)之方式設置於殼體16內，第一晶粒12及第二晶粒14皆包含一用來執行一預定運算之核心電路(core circuit)(未顯示)及複數個用來處理存取於該核心電路內的資料之輸入/輸出電路(未顯示)，第一晶粒12及第二晶粒14另分別包含複數個用來藉由接合導線24電連接至殼體16的接腳18之晶粒焊墊20及22。

一般而言，在被堆疊在一起且設置於殼體16內前，第一晶粒12及第二晶粒14通常必需被重新設計過，以避免如圖一中箭頭A及B所示之導線交錯之情形發生，舉例來說，亦即避免電連接於晶粒焊墊84與接腳94間之接合導線74交錯於電連接於晶粒焊墊82與接腳92之接合導線72及電連接於晶粒焊墊80與接腳90間之接合導線70。第一晶粒12及第二晶粒14之重新設計實已抵觸了即時上市對時間效率的要求。

此外，即便是第一晶粒12及第二晶粒14在被設置於殼體



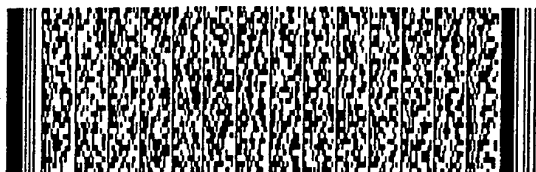
五、發明說明 (3)

16 內前，已被重新設計過而不會發生上述之導線交錯的情形，然而，隨著殼體（用於封裝晶粒之封裝體）及晶粒之體積越來越小，而晶粒內的電路又日趨複雜的情況下，傳輸於電連接於殼體16之接腳92與第一晶粒12之晶粒焊墊82間之接合導線72上之訊號常會因導線擁擠所引起之耦合效應(coupling effect)而受到傳輸於電連接於殼體16之接腳90與第一晶粒12之晶粒焊墊80間之接合導線70上的訊號之影響，並間接地影響多晶粒打線接合封裝體10之整體效能，尤其是當傳輸於接合導線72上之訊號為一類比訊號時。

【發明內容】

因此本發明之主要目的在於提供一種內含一電路板之打線接合封裝體，其內之晶粒可經由該電路板間接地電連接至一殼體上之接腳，以解決習知技術之導線交錯及因導線擁擠所引起之耦合效應等缺點。

根據本發明之申請專利範圍，本發明係揭露一種打線接合封裝體，其包含一設有複數個接腳之殼體、一設置於該殼體內之電路板、至少一設置於該電路板上之晶粒、以及至少一連接於該晶粒上之焊接墊及該電路板上之走線之接合導線，該接合導線可使該晶粒上之焊接墊得以電連接於該殼體上之接腳。

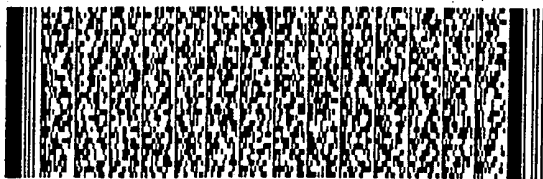


五、發明說明 (4)

在本發明之較佳實施例中，該打線接合封裝體係包含二晶粒，該二晶粒可堆疊或皆附著於該電路板上。

在本發明之較佳實施例中，該殼體可為一球格陣列封裝體(ball grid array, BGA)、一四方扁平封裝體(quad flat package, QFP)、或一雙列直插式封裝體(dual in-line package, DIP)，而該電路板上另設置有至少一被動元件。

由於本發明之打線接合封裝體內，除了包含至少一晶粒外，另包含一電路板，該晶粒可設置於該電路板上，以使該打線接合封裝體內之接合導線可將該晶粒上之焊接墊經由該電路板電連接至該殼體上之接腳。如此一來，該打線接合封裝體內之複數個晶粒(若該打線接合封裝體係包含複數個晶粒)就可不需經過耗時之重新設計的過程而直接地整合於該殼體內，以真正達到即時上市之要求；此外，該打線接合封裝體內之接合導線另可選擇性地經由該電路板上之焊接點並以佈局於該電路板上遠離於其它接合導線的位置處之方式，將一晶粒上之晶粒焊接墊電連接至一殼體上之接腳，以避免因導線擁擠所引起的耦合效應之情形發生，並提昇其整體效能；最後，該打線接合封裝體內之電路板上可設置有至少一依據該複數個晶粒內之核心電路及輸入/輸出電路之電性特性之需



五、發明說明 (5)

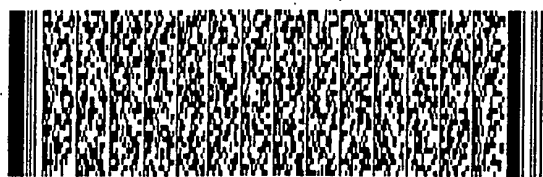
求而設置之被動元件，如此一來，插置有本發明之打線接合封裝體之電路板於製作時，便不需另行設置經過適當調校而選定之被動元件，以節省製作時間及成本。

【實施方式】

請參閱圖三及圖四，圖三為本發明之較佳實施例中一打線接合封裝體30之示意圖，圖四為打線接合封裝體30之側視圖。除了第一晶粒12、第二晶粒14、殼體16及複數條用來電連接第一晶粒12及第二晶粒14上之晶粒焊墊20及22至殼體16上之接腳18上之接合導線24外，打線接合封裝體30另包含一設置於殼體16之導線框架46內之電路板48。

在本發明之較佳實施例中，殼體16為一四方扁平封裝體(quad flat package, QFP)，而電路板48係為一雙層電路板。然而，在本發明之打線接合封裝體中，殼體16亦可為一球格陣列封裝體(ball grid array, BGA)或一雙列直插式封裝體(dual in-line package, DIP)，而電路板48也可為一單層或多於二層之多層電路板。

在圖三所顯示之打線接合封裝體30中，原本於圖一中所顯示之交錯於接合導線70及72之接合導線74係改為先後經由一第一導電孔(via)62及一第二導電孔64並以佈局

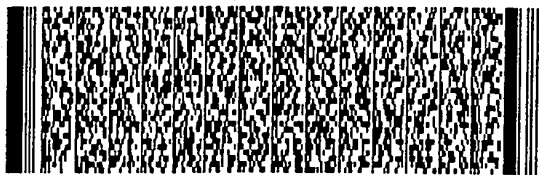


五、發明說明 (6)

(layout) 於電路板48之下層(接合導線74中佈局於電路板48下層之部分於圖三中係以虛線表示之)之方式將第二晶粒14上之晶粒焊墊84電連接至殼體16之接腳94上，接合導線74中佈局於電路板48下層之部分為殼體16上之走線(trace)；接合導線70之電連接方式不變，亦即，接合導線70仍係將第一晶粒12上之晶粒焊墊80直接地電連接至殼體16之接腳90上；而原本於圖一中所顯示之將第一晶粒12上之晶粒焊墊82直接地電連接於殼體16上之接腳92之接合導線72則改為先後經由一第一焊接點66及一第二焊接點68並以佈局於電路板48之上層(接合導線72中佈局於電路板48上層之部分於圖三中係以實線表示之)之方式將第一晶粒12上之晶粒焊墊82電連接至殼體16之接腳92上，以儘可能地遠離接合導線72並降低該耦合效應。

在本發明之較佳實施例中，電路板48上另設置有至少一依據第一晶粒12及第二晶粒14內之核心電路及輸入/輸出電路之電性特性之需求而設置之被動元件50。

圖三所顯示之打線接合封裝體30係僅包含二堆疊配置之晶粒(第一晶粒12及第二晶粒14)，然而，本發明之打線接合封裝體亦可僅包含一個或二個以上堆疊配置之晶粒。當遇有導線交錯之情形時，該打線接合封裝體內之接合導線也可仿圖三中接合導線74之佈局方式，藉由佈局於一電路板之不同層之方式將一晶粒上之晶粒焊墊電



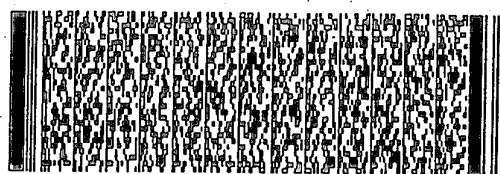
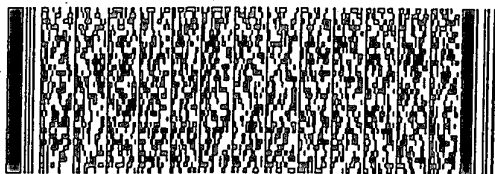
五、發明說明 (7)

連接至一殼體之接腳上，茲不贅。

在圖三所顯示之打線接合封裝體30中，第一晶粒12及第二晶粒係堆疊於電路板48上，然而，本發明之打線接合封裝體內之所有晶粒也可皆直接附著設置於一電路板上。請參閱圖五，圖五為本發明之第二實施例中一打線接合封裝體100之示意圖。在打線接合封裝體100中，除了第一晶粒12及第二晶粒係同時藉由裸晶配置法直接地附著設置於電路板48上外，其餘的結構係完全相同於打線接合封裝體30之結構。

在打線接合封裝體100中，一接合導線122係將第一晶粒12上之晶粒焊墊102直接地電連接於殼體16之接腳112上、一接合導線124係先後經由一第三焊接點136及一第四焊接點138並以佈局於電路板48之上層之方式將第一晶粒12上之晶粒焊墊104電連接於殼體16之接腳114上、而接合導線126係先後經由一第三導電孔132及一第四導電孔134並以佈局於電路板48之下層之方式將第一晶粒12上之晶粒焊墊106電連接於殼體16之接腳116上。

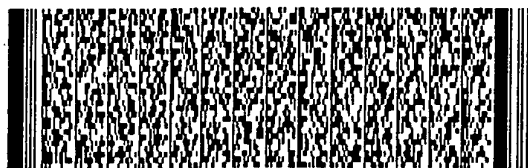
相較於習知打線接合封裝體，本發明之打線接合封裝體除了包含至少一晶粒、至少一接合導線及一殼體外，另包含一允許該接合導線佈局於其上之電路板。本發明之打線接合封裝體之優點係在於：



五、發明說明 (8)

一、其內之接合導線可選擇性地經由該電路板上之導電孔並以佈局於該電路板之殼體上之不同層之接腳，以避體而直接將一晶粒交錯個晶於晶粒就可不需求經過耗時之重新設計上之要求；該電路板上之焊二、其內之接合導線另可選擇性地位於其它接合導線之位置上之接點並以佈局於該電路板上之晶粒焊墊電連接至一殼體上之接腳，以避免因導線擁擠所引起之耦合效應之情形發生，並提昇其整體效能；以及三、其內之電路板上可設置有至少一依據該複數個晶粒內之核心電路及輸入/輸出電路之電性特性之需求而設置之被動元件，如此一來，插置有本發明之打線接合封裝體之電路板於製作時，便不需另行設置經過適當調校而選定之被動元件，以節省製作時間及成本。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知一打線接合封裝體之示意圖。

圖二為圖一所顯示之打線接合封裝體之側視圖。

圖三為本發明之較佳實施例中一打線接合封裝體之示意圖。

圖四為圖三所顯示之打線接合封裝體之側視圖。

圖五為本發明之第二實施例中一打線接合封裝體之示意圖。

圖式之符號說明

10、30、100 打線接合封裝體

12 第一晶粒

14 第二晶粒

16 殼體

18、90、92、94、112、114、116 接腳

20、22、80、82、84、102、104、106 晶粒焊墊

24、70、72、74、122、124、126 接合導線

46 導線框架

48 電路板

50 被動元件

62 第一導電孔

64 第二導電孔

66 第一焊接點

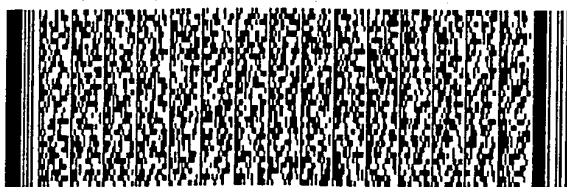
68 第二焊接點

132 第三導電孔

134 第四導電孔

136 第三焊接點

138 第四焊接點



六、申請專利範圍

申請專利範圍

1. 一種打線接合封裝體(wire bonding package)，其包含：
一殼體，其上設有複數個接腳；
一電路板，設置於該殼體內，該電路板上設有至少一走線(trace)，連接於該殼體上之接腳；
至少一晶粒(die)，設置於該電路板上，該晶粒上設有複數個焊接墊(bonding pad)；以及
至少一焊接線(bonding line)，連接於該晶粒上之焊接墊及該電路板上之走線，以使該晶粒上之焊接墊得以電連接於該殼體上之接腳。
2. 如申請專利範圍第1項所述之打線接合封裝體，其中該殼體包含一導線框架(lead frame)，用來容納該電路板。
3. 如申請專利範圍第1項所述之打線接合封裝體，其係包含複數個晶粒，以堆疊之方式設置於該電路板上。
4. 如申請專利範圍第1項所述之打線接合封裝體，其係包含複數個晶粒，附著於該電路板上。
5. 如申請專利範圍第1項所述之打線接合封裝體，其中該



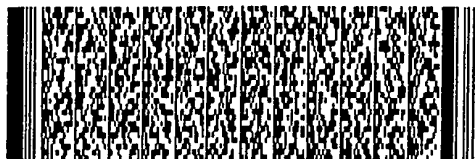
六、申請專利範圍

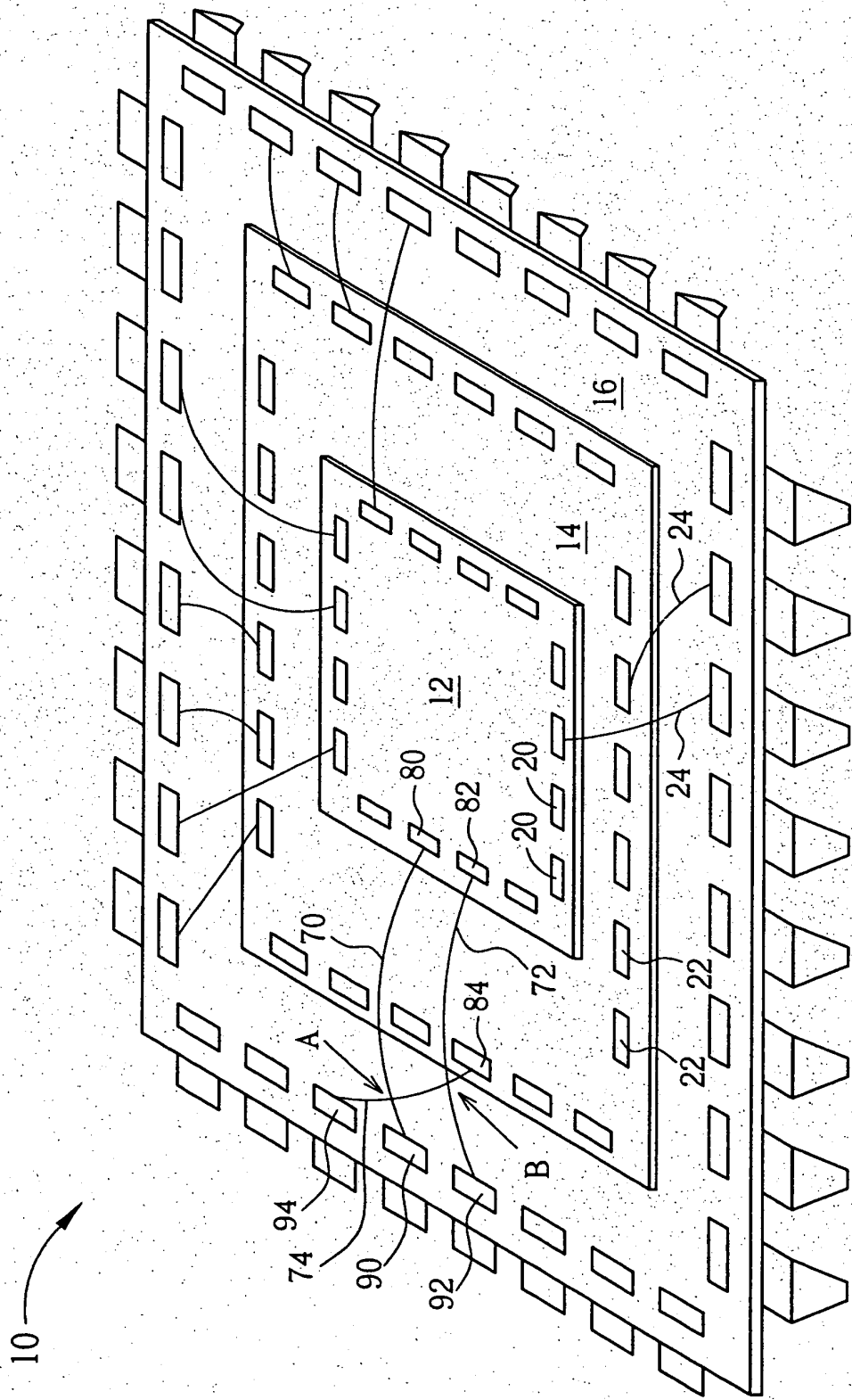
殼體係一球格陣列封裝體(ball grid array, BGA)。

6. 如申請專利範圍第1項所述之打線接合封裝體，其中該殼體係一四方扁平封裝體(quad flat package, QFP)。

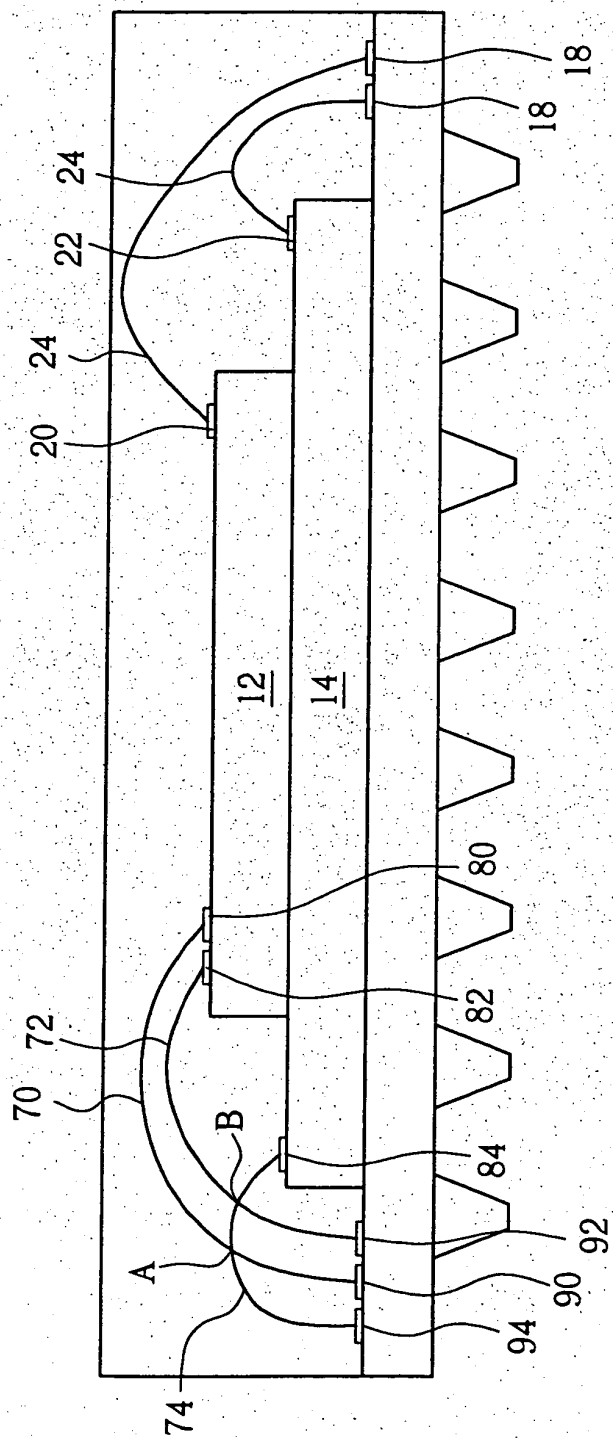
7. 如申請專利範圍第1項所述之打線接合封裝體，其中該殼體係一雙列直插式封裝體(dual in-line package, DIP)。

8. 如申請專利範圍第1項所述之打線接合封裝體，其中該電路板上另設置有至少一被動元件。

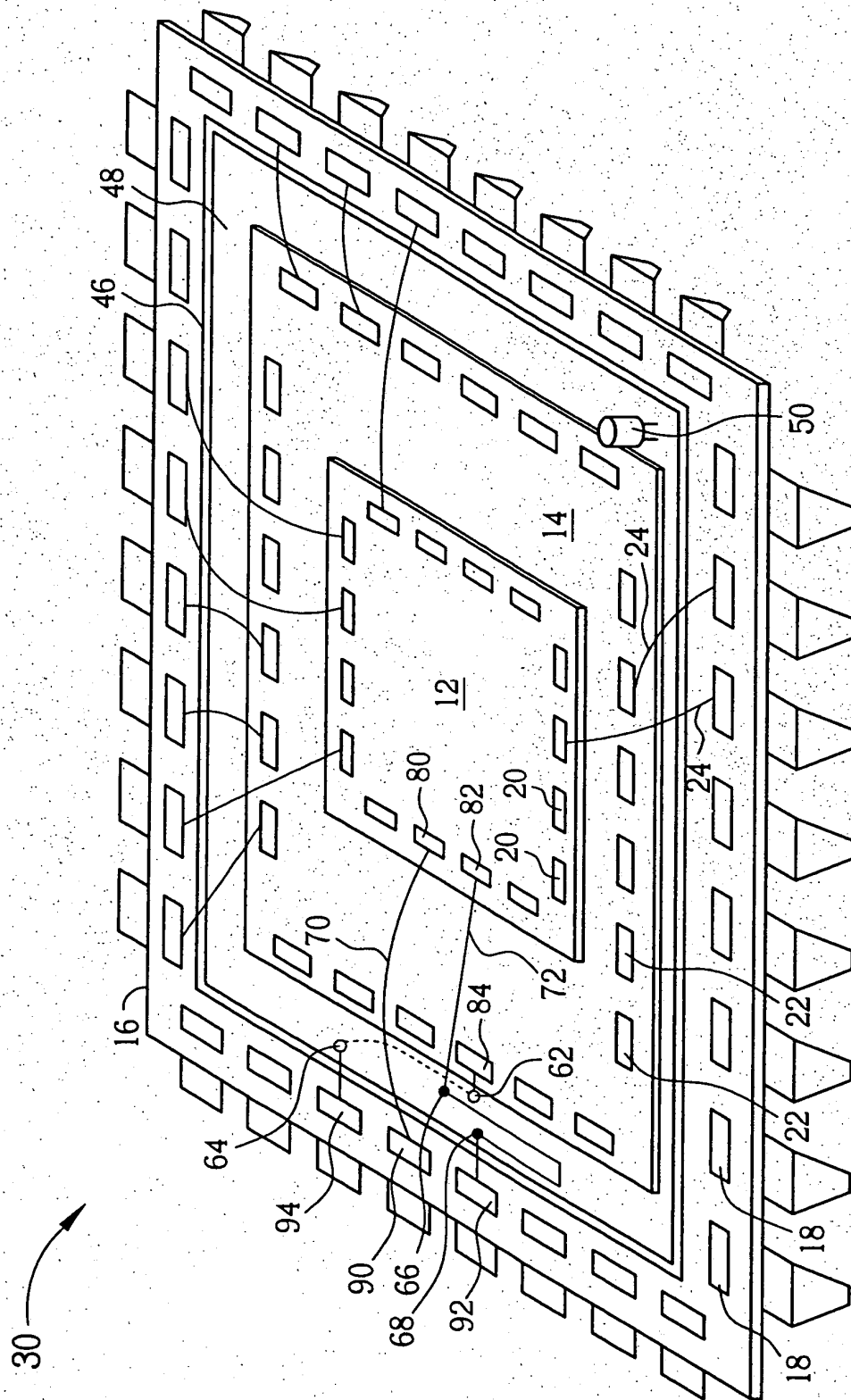




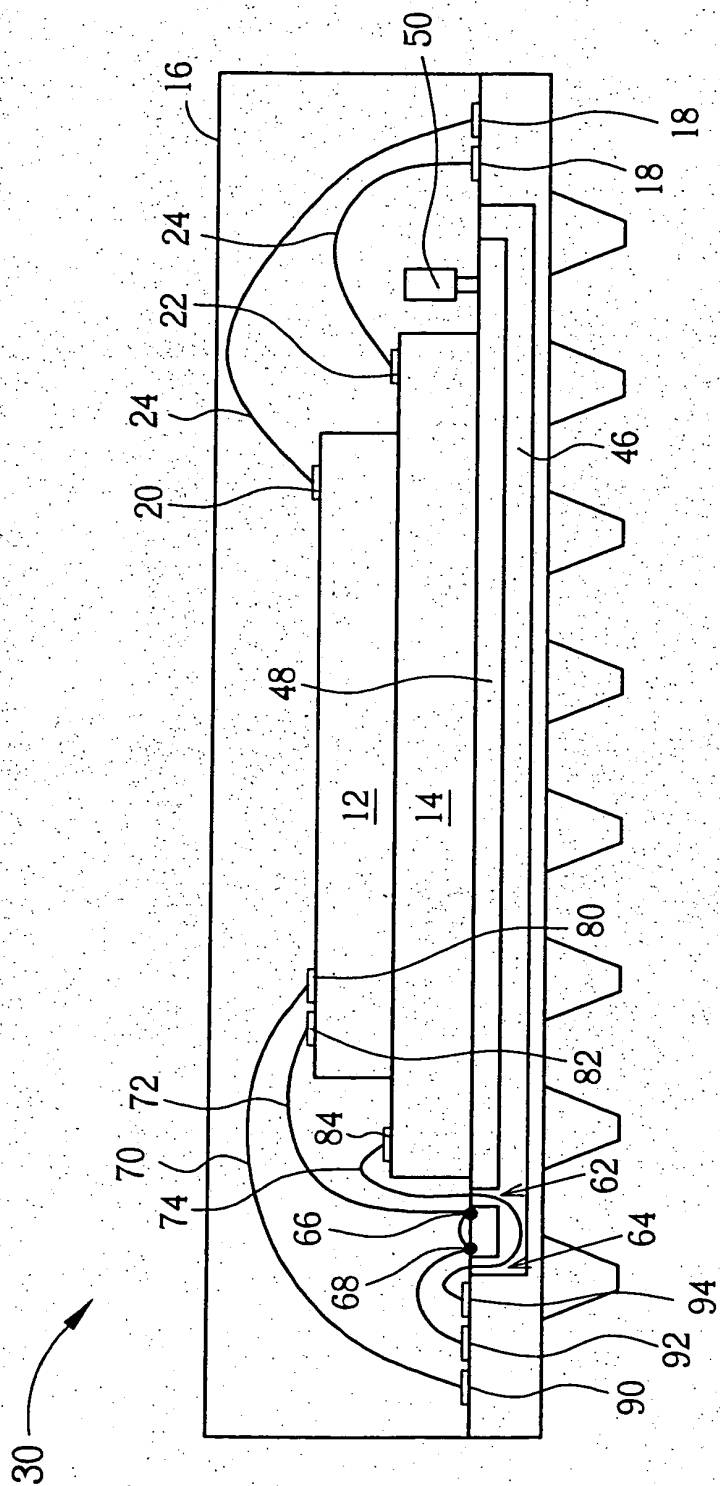
圖一



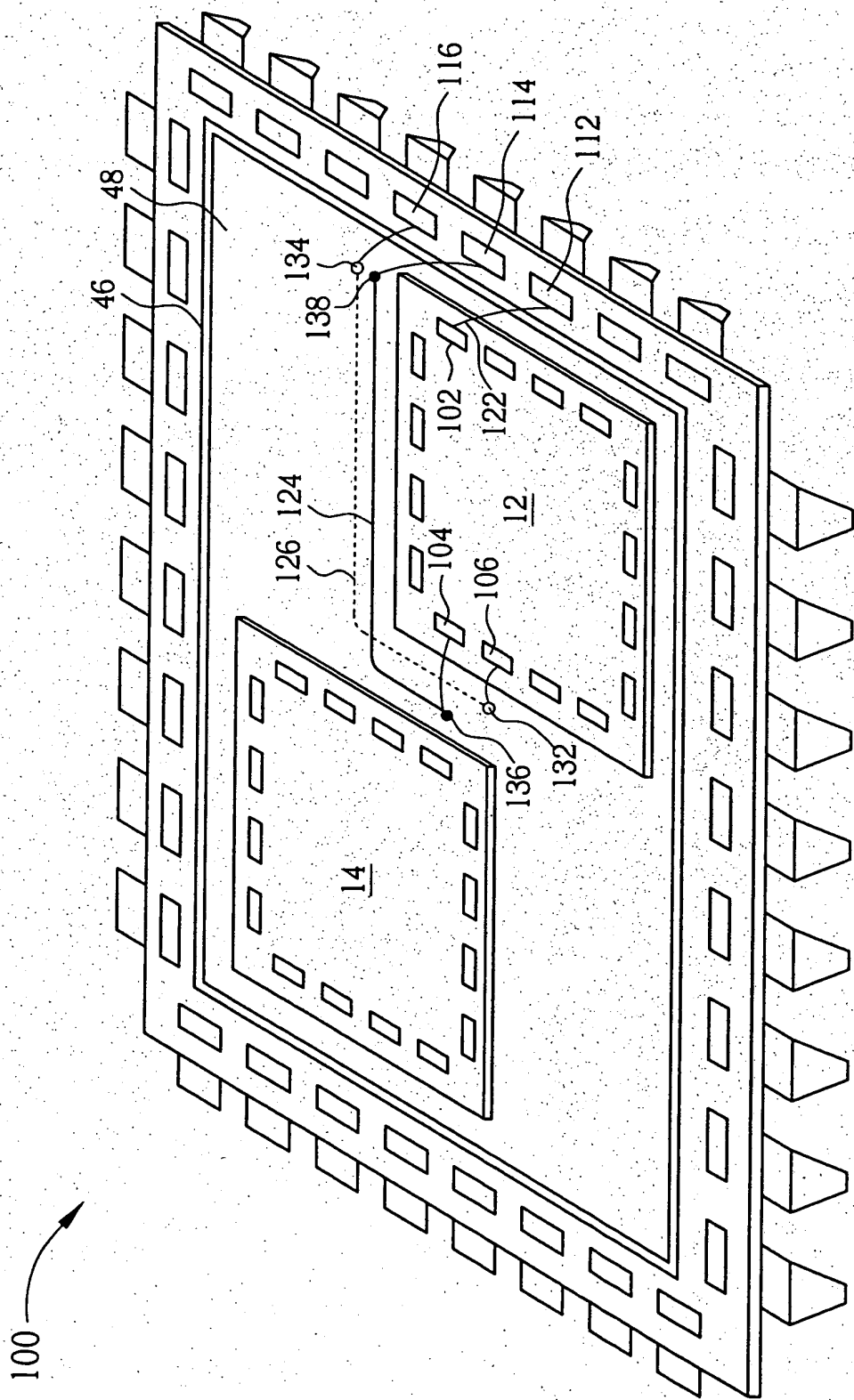
圖二



川圖

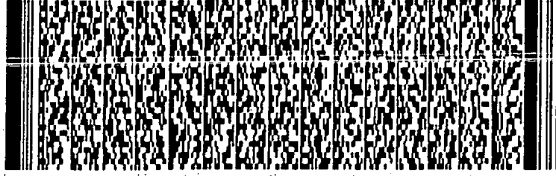


圖四

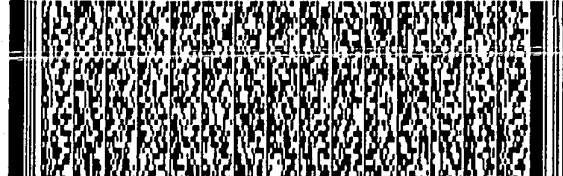


圖五

第 1/16 頁



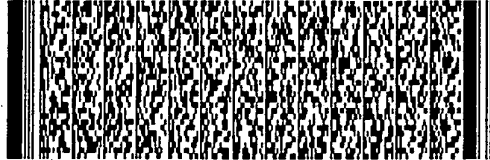
第 2/16 頁



第 3/16 頁



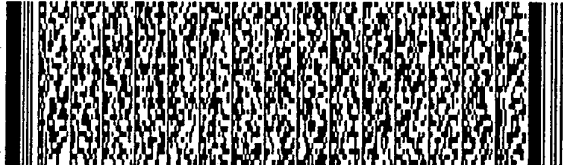
第 4/16 頁



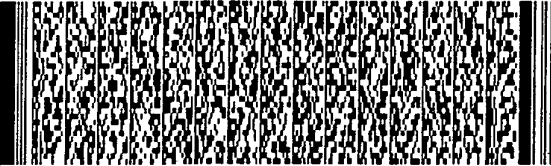
第 5/16 頁



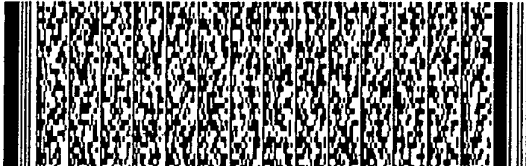
第 6/16 頁



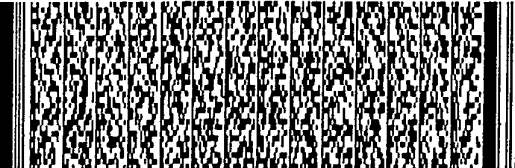
第 6/16 頁



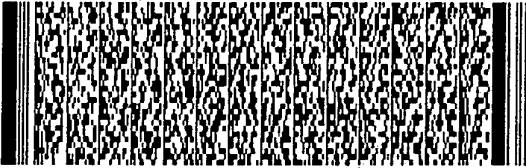
第 7/16 頁



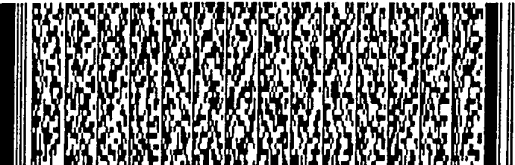
第 7/16 頁



第 8/16 頁



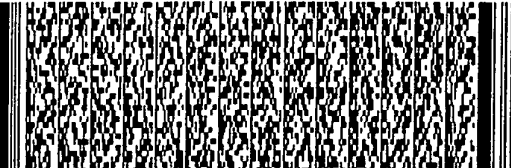
第 8/16 頁



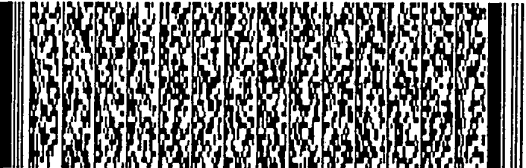
第 9/16 頁



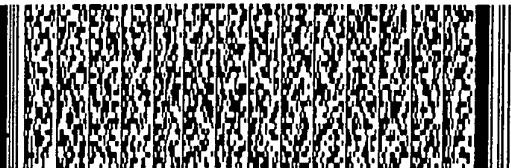
第 9/16 頁



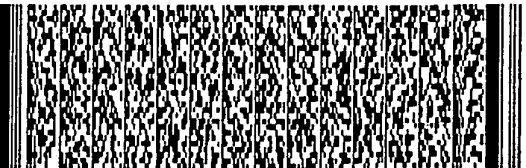
第 10/16 頁



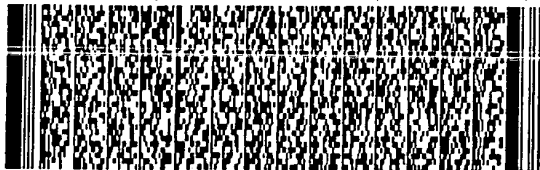
第 10/16 頁



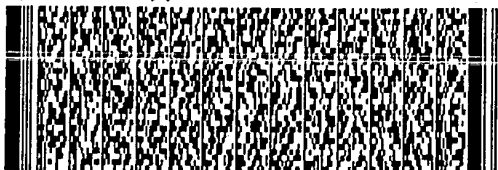
第 11/16 頁



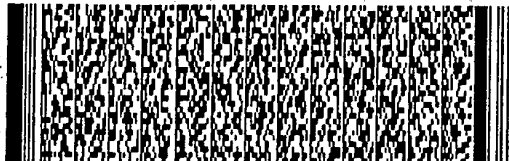
第 11/16 頁



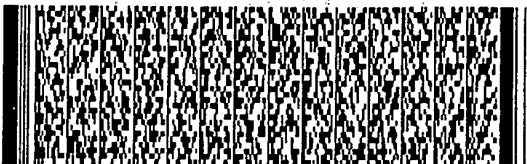
第 12/16 頁



第 12/16 頁



第 13/16 頁



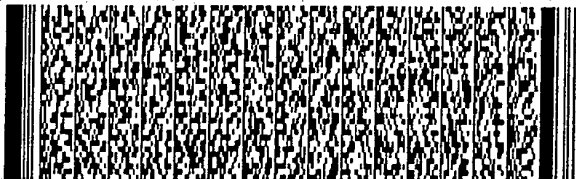
第 13/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

